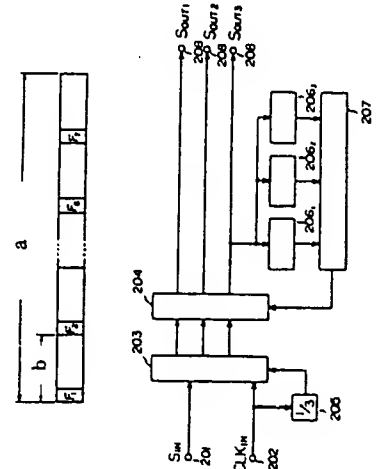


(54) SYSTEM AND DEVICE FOR FRAME SYNCHRONIZATION

(11) 63-244949 (A) (43) 12.10.1988 (19) JP
 (21) Appl. No. 62-78089 (22) 30.3.1987
 (71) NEC CORP (72) TOKUO YOSHIDA
 (51) Int. Cl. H04L7/08, H04J3/06

PURPOSE: To facilitate synchronous detection and to decelerate a synchronizing processing, by distributing high-order group input data to plural systems of information of a low-order group in frame constitution of bit multiplexing system.

CONSTITUTION: Seven sub-frames including, for example, a synchronizing bit F are inputted from a high-order group input data terminal 201 to a serial-parallel conversion circuit 203, and they are fetched by every three bits, and are outputted as output information of three systems. Furthermore, the channel shunt of the information are performed at a channel shunt circuit 204 by the output information from a synchronization control circuit 207, and are outputted to low-order group output data 208, ~208₆. In such a case, since a frame synchronizing pattern which forms a patrol code of code length 7 on the output 208, appears bit by bit at every N/3(N represents frame length bit) in a synchronous state, by dividing it by a divider 206, using a generating function, a remainder goes to zero, then, synchronization can be confirmed.



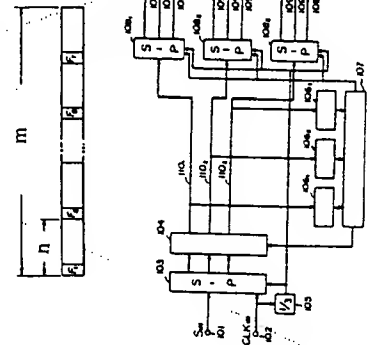
206, 206: divider, a: one frame length (7xN bits), b: N bits

(54) FRAME SYNCHRONIZING SYSTEM

(11) 63-244950 (A) (43) 12.10.1988 (19) JP
 (21) Appl. No. 62-78090 (22) 30.3.1987
 (71) NEC CORP (72) TOKUO YOSHIDA
 (51) Int. Cl. H04L7/08, H04J3/06

PURPOSE: To facilitate synchronous detection and to decelerate a synchronizing processing, by inserting distributively a frame synchronizing pattern bit by bit into the leading bit of each frame in frame constitution of bit multiplexing system.

CONSTITUTION: From high-order group input data 101, for example, seven sub-frames are inputted. To the forefront of each sub-frame, one bit to the frame synchronizing pattern is inserted distributively. The high-order group input data is taken out by every three bits at a serial-parallel conversion circuit 103, and they are developed to three systems of output information, and are inputted to a channel shunt circuit 104. In such a case, since the frame synchronizing pattern which constitutes a patrol code of seven bits is inserted only to the output data 110 of the circuit 104 at every N/3(N represents a frame length bit), it is fetched in a divider 106, and is divided by a generating function, and synchronization can be confirmed by the result of zero of a remainder.



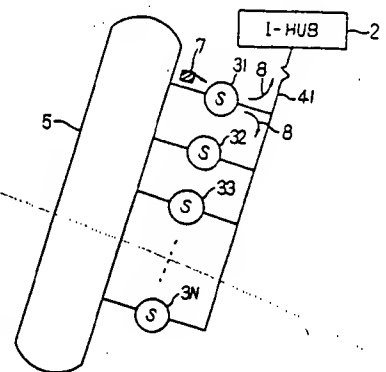
106, 106: divider, 107: synchronization control circuit, m: one frame length (7xN bits), n: N bits

(54) SYSTEM FOR HOUSING MULTIDROP TERMINAL OF STAR LAN USING TOKEN RING LAN DEDICATED FOR CONTROLLING TRANSMISSION RIGHT

(11) 63-244951 (A) (43) 12.10.1988 (19) JP
 (21) Appl. No. 62-77305 (22) 30.3.1987
 (71) NEC CORP (72) SUSUMU DEGUCHI
 (51) Int. Cl. H04L11/00

PURPOSE: To prevent the collision of transmission data between terminals connected in a multi-drop form from being generated, by controlling the transmission right of a terminal connected in the multi-drop form with an IEEE 802.5 token ring LAN.

CONSTITUTION: When the terminal 31 transmits data, the terminal 31 captures the free token 7 of a token ring LAN5 first. Next, the terminal 31 sends the data after confirming the fact that no carrier exists on a line 41. In such a case, the terminals 32, 33, and 3N detect data 8, and stop the stepping of a repeat return timer, a token holding timer, a PDU queue timer, an effective delivery timer, a non-token timer, an in-operation monitoring station timer, and a wait monitoring station timer until no data 8 exists on the line 41 any more. In such a way, no data is transmitted simultaneously from the terminals, thereby, the collision of the data can be prevented from being generated.



A.

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭63-244949

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和63年(1988)10月12日

H 04 L 7/08
H 04 J 3/06

A-6914-5K
A-6914-5K

審査請求 未請求 発明の数 3 (全9頁)

⑮ 発明の名称 フレーム同期方式及び装置

⑯ 特 願 昭62-78089

⑰ 出 願 昭62(1987)3月30日

⑱ 発 明 者 吉 田 徳 夫 東京都港区芝5丁目33番1号 日本電気株式会社内
⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号
⑳ 代 理 人 弁理士 内 原 晋

明 細 書

発明の名称 フレーム同期方式及び装置

特許請求の範囲

(1) サブフレーム長KビットのL個のサブフレームから構成されるフレームにおいて、各サブフレームにはM(KはMの倍数)ビットのフレーム同期用パターンがそれぞれ挿入されており、前記Mビットのフレーム同期用パターンから各サブフレーム毎に順次取り出されるM組のLビット列パターンは、互いに排他的に存在するM種の生成多項式から生成され且つ互いに排他的に存在する符号長Lビットの巡回符号であることを特徴とするフレーム同期方式。

(2) 受信信号をMビット毎に取り出す直並列変換器と、該直並列変換器のM本の出力が接続され、該M本の入力信号のチャネルを入れ換えてM本の信号を出力することが可能なチャネル入れ換え器と、該チャネル入れ換え器の出力信号の少なく

も1本を入力線とし、該入力線から取り出される符号長Lビットを係数とする符号多項式と予め定められ且つ互いに排他的に存在するM種の生成多項式との剰余を計算するM個の計算器と、前記符号長Lビットと該剰余を用いて前記チャネル入れ換え器のチャネル入れ換え制御を行う手段とを含むことを特徴とするフレーム同期装置。

(3) 受信信号をMビット毎に取り出す第1の直並列変換器と、該直並列変換器のM本の出力が接続され、該M本の入力信号のチャネルを入れ換えてM本の信号を出力することが可能なチャネル入れ換え器と、該チャネル入れ換え器の出力信号の少なくとも1本を入力線とし、該入力線から取り出される符号長Lビットを係数とする符号多項式と予め定められ且つ互いに排他的に存在するM種の生成多項式との剰余を計算するM個の計算器と、前記符号長Lビットと該剰余を用いて前記チャネル入れ換え器のチャネル入れ換え制御を行う手段と、前記チャネル入れ換え制御手段の制御信号を入力とし、かつ前記チャネル入れ換え器の出力

信号を並列展開する第2の直並列変換器とを含むことを特徴とするフレーム同期装置。

発明の詳細な説明

(産業上の利用分野)

この発明は、基幹伝送系、公衆網、加入者系等のデジタル伝送係に用いられる同期方式に関するものである。

(従来の技術)

伝送媒体として光ファイバを用いた伝送技術の進展は目覚ましいものがあり、伝送情報量としては数百Mbps～数Gbps程度の伝送が可能になりつつある。大容量化されたデジタル伝送系を有効に使用する上で、時分割多重方式が考えられるが高速処理が必要となるため、フレーム構成をできるだけ簡単にして、回路の小規模化、簡易化をはかっている。その1つの方法として、ビット単位の時分割多重方式があり、第4図は、一般的なビット多重方式のフレーム構成図である。同図においては、1フレームはKビットで構成され、1フレームをビット単位でKチャンネルに分け、そのうち

の1チャンネルをフレームチャンネルに割り当てており、Fはフレームチャンネル、 $\#1 \sim \#K-1$ はビット単位のK-1個のチャンネルである。この方式においては、ビット多重するときに固有フレームパターンが1ビットずつ数フレーム単位にフレームチャンネル(F)に挿入されており、同期検出においては、チャンネル単位にデータを分離した後任意のチャンネルから分離された信号列が挿入した固有フレームパターンと一致するかどうかでフレームチャンネルを検出し同期検出を行なっている。

また他の方法としてフレームをサブフレーム単位に分け、フレームパターンを各サブフレームに分散させる方法があり、第5図にそのフレーム構成の一般例を示す。同図においては、1フレームをL個のサブフレームに分け、各サブフレームは、1ビット単位であり、1フレーム($1 \times L$)ビットの構成になっており各サブフレームの先頭1ビットに順次にフレームパターンが1ビットずつ挿入されている。 F_i ($i=1, 2, \dots, L$)は各サブフレームの先頭1ビットに挿入されるフレームビット

ト、 $\#1 \sim \#L$ は1ビット単位のサブフレームを示す。この方式においては($F_1 F_2 F_3 \dots F_{L-1} F_L$)がフレームパターンとなっており、同期検出においては、分離された信号列から($F_1 F_2 F_3 \dots F_{L-1} F_1$)なるフレームパターンを検出することによって同期検出を行なっている。フレームパターンをフレームビットである $F_1 \sim F_L$ の全てに挿入する必要はなく、例えば、フレームパターンがフレームビット $F_1 F_2 F_3 \dots$ に挿入されている場合には残りのフレームビット $F_4 F_5 F_6 \dots$ を用いて伝送路監視用モニタやサービスモニタ等の情報を伝送することも可能である。

(発明が解決しようとする問題点)

第4図に示されたようなビット多重方式においては、フレームチャンネル(F)として、1フレームKビット中1ビットを使用している。回路の小規模化、簡易化をはかるためには、1フレームを構成するKの長さはあまり大きくすることはできないため、伝送データ量におけるフレームパターンの信号量が $1/K$ と小さくなっている。このオ

ーバーヘッドは伝送容量を増大高速化するに従って大きくなることが予想され、更にシステムの信頼性やサービス性等を考えると、伝送路監視モニタやサービスモニタ等の情報を伝送するチャンネルも必要となり、この傾向は著しく増大することになる。また、第5図に示されたような、フレームをサブフレーム単位に分け、フレームパターンを各サブフレームに分散させる方式においては、固有なフレームパターンである($F_1 F_2 F_3 \dots F_{L-1} F_L$)と一致する信号列を分離された信号列から検出することにより同期検出を行ない、フレーム同期およびサブフレーム同期の確保を行なっている。フレームビット $F_1 \sim F_L$ 内に伝送路監視モニタやサービスモニタ等の情報を挿入して伝送したり1フレーム内のサブフレーム数Lを増やすことにより、回路の複雑さを増すことなく、伝送データ量に対するオーバーヘッドが少ない情報伝達が可能になる。

しかしながら、一度同期が外れた場合には、フレームパターンである($F_1 F_2 F_3 \dots F_{L-1} F_L$)と一

致する信号列を分離された信号列から検出するためには、最悪1フレーム間のハンティングが必要となるために同期復帰を行うまでにかかる最悪の同期時間は $L \times 1 \times 1$ フレーム(SEC)となりサブフレーム数 L やサブフレーム構成ビット数 1 が大きくなってしまうと、一度同期が外れてからフレームパターン $(F_1 F_2 F_3 \dots F_{L-1} F_L)$ を検出するまでにかかる平均時間が大きくなっていった。

更に同方式において、固有なフレームパターンである $(F_1 F_2 \dots F_{L-1} F_L)$ を分離するためには、通常直並列変換器を用いて入力信号を展開し、その1系列から固有なフレームパターンの検出を行っている。このため、一度同期が外れた場合には最悪並列展開された全系列に対してフレーム同期用パターンの検出を行う必要があった。

本発明は、これらの問題点を解決した回路規模の増大複雑さを増すことなく伝送データ量に対するフレームパターン信号量のオーバーヘッドを少なくし、フレームパターンの検出が容易で、かつ、同期復帰にかかる平均時間を減少することが

でき、更には、信号の処理速度を低減するために用いられる直並列変換器の出力のうち少なくとも1系列を検出すれば、系全体の状態を把握することができる高速大容量の伝送系に適した同期検出回路を提供することにある。

(問題点を解決するための手段)

本発明によれば、サブフレーム長 K ビットの L 個のサブフレームから構成されるフレームにおいて、各サブフレームには M (K は M の倍数)ビットのフレーム同期用パターンがそれぞれ挿入されており、前記 M ビットのフレーム同期用パターンから各サブフレーム毎に順次取り出される M 組の L ビット列パターンは、互いに排他的に存在する M 種の生成多項式から生成され且つ互いに排他的に存在する符号長 L ビットの巡回符号であることを特徴とするフレーム同期方式が得られる。

本発明によれば、受信信号を M ビット毎に取り出す直並列変換器と、該直並列変換器の M 本の出力が接続され、該 M 本の入力信号のチャネルを入れ換えて M 本の信号を出力することが可能なチャ

ネル入れ換え器と、該チャネル入れ換え器の出力信号の少なくとも1本を入力線とし、該入力線から取り出される符号長 L ビットを係数とする符号多項式と予め定められ且つ互いに排他的に存在する M 種の生成多項式との剰余を計算する M 個の割算器と、前記符号長 L ビットと該剰余を用いて前記チャネル入れ換え回路のチャネル入れ換え制御を行う手段とを含むことを特徴とするフレーム同期装置が得られる。

本発明によれば、受信信号を M ビット毎に取り出す第1の直並列変換器と、該直並列変換器の M 本の出力が接続され、該 M 本の入力信号のチャネルを入れ換えて M 本の信号を出力することが可能なチャネル入れ換え器と、該チャネル入れ換え器の出力信号の少なくとも1本を入力線とし、該入力線から取り出される符号長 L ビットを係数とする符号多項式と予め定められ且つ互いに排他的に存在する M 種の生成多項式との剰余を計算する M 個の割算器と、前記符号長 L ビットと該剰余を用いて前記チャネル入れ換え回路のチャネル入れ換

え制御を行う手段と、前記チャネル入れ換え制御手段の制御信号を入力とし、かつ前記チャネル入れ換え器の出力信号を並列展開する第2の直並列変換器とを含むことを特徴とするフレーム同期装置が得られる。

(実施例)

本発明の実施例について説明する前に、ここでは巡回符号について簡単に説明する。一般的に符号語を $(A_0 A_1 A_2 \dots A_{n-1})$ としたとき、 A_0 を $n-1$ 次、 A_1 を $n-2$ 次、 \dots 、 A_{n-1} を0次に対応させて、符号多項式 $F(X)$ を

$$F(X) = A_{n-1} + A_{n-2}X + A_{n-3}X^2 + \dots + A_1X^{n-2} + A_0X^{n-1} \quad \dots (1)$$

と表すことができる。ここで符号長は n であり、時間的には高次の項 A_0 が最初に現れ、順次低次の方へと進み、最後に A_{n-1} が現れるものとする。

ここで、符号長7、符号語として $(C_1 C_2 C_3 \dots C_7)$ を選んだとすると、符号多項式 $F(X)$ は6次の多項式で表すことが可能であり

$$F_1(X) = C_7 + C_6X + C_5X^2 + C_4X^3 + C_3X^4 + C_2X^5 + C_1X^6 \quad \dots (2)$$

と表せ、例えば、生成多項式 $G_1(X)$ として3次の多項式を選び

$$G_1(X) = 1 \cdot X \cdot X^3 \quad \dots (3)$$

とした場合、

$$F_1(X) = Q_1(X)G_1(X) \quad \dots (4)$$

を満足する $Q_1(X)$ なる多項式が存在すれば、式(4)の多項式は式(3)の生成多項式から生成されたことになる。ここで多項式 $Q_1(X)$ として、入力ビット列 $1=(1110)$ を係数とする多項式

$$Q_1(X) = X \cdot X^2 \cdot X^3 \quad \dots (5)$$

を選び、2を法とする体を仮定すれば、

$$\begin{aligned} F_1(X) &= Q_1(X)G_1(X) \\ &= (X \cdot X^2 \cdot X^3) \cdot (1 \cdot X \cdot X^3) \\ &= X \cdot X^5 \cdot X^6 \end{aligned} \quad \dots (6)$$

となり、符号語

$$V_1 = (1100010) \quad \dots (7)$$

が、入力ビット列 $1=(1110)$ から生成されたことになる。この場合、入力ビット列としては、(0000)のビット列を除いた $2^4 - 1 = 15$ 語のビット列があり、それぞれの入力ビット列に対応した符号語が

巡回符号となり、

$$V_1 = (1100010) \quad \dots (10-1)$$

$$V_2 = (1000101) \quad \dots (10-2)$$

$$V_3 = (0001011) \quad \dots (10-3)$$

$$V_4 = (0010110) \quad \dots (10-4)$$

$$V_5 = (0101100) \quad \dots (10-5)$$

$$V_6 = (1011000) \quad \dots (10-6)$$

$$V_7 = (0110001) \quad \dots (10-7)$$

としたとき、 V_1 、 V_2 、 \dots 、 V_7 を係数とする符号多項式は、式(4)の生成多項式で割り切れることになる。

他方、生成多項式として

$$G_2(X) = X^3 \cdot X^2 \cdot 1 \quad \dots (11)$$

$$G_3(X) = X \cdot 1 \quad \dots (12)$$

を選んだ場合、式(11)、(12)の生成多項式は、 $X^7 \cdot 1$ を割り切ることが示されるので、式(11)、(12)からも同様に符号長7の巡回符号が生成可能となる。

例えば

$$Q_2(X) = X^2 \cdot X \cdot 1 \quad \dots (13)$$

生成される。

更に、刊行物「符号理論」(宮川洋、岩垂好市、今井秀樹著、昭晃堂、p194~197)に示されているように、2を法とする体において、一般に n を符号長とした時、生成多項式 $G(X)$ が $X^n \cdot 1$ を割り切る時 $G_1(X)$ から生成される符号語は巡回符号をなす。従って、式(4)の生成多項式は、

$$\begin{aligned} (X^7 \cdot 1)/G_1(X) &= (X^7 \cdot 1)/(X^3 \cdot X \cdot 1) \\ &= X^4 \cdot X^2 \cdot X \cdot 1 \end{aligned} \quad \dots (8)$$

で、 $X^7 \cdot 1$ を $X^4 \cdot X^2 \cdot X \cdot 1$ で割り切るので、式(3)の生成多項式から生成される符号長7の符号語は巡回符号となる。即ち、式(7)の符号語において

$$V_1 = \begin{vmatrix} 1 & 1 & 0 & 0 & 0 & 1 & 0 \\ 1 & 0 & 0 & 0 & 1 & 0 & 1 \\ 0 & 0 & 0 & 1 & 0 & 1 & 1 \\ 0 & 0 & 1 & 0 & 1 & 1 & 0 \\ 0 & 1 & 0 & 1 & 1 & 0 & 0 \\ 1 & 0 & 1 & 1 & 0 & 0 & 0 \\ 0 & 1 & 1 & 0 & 0 & 0 & 1 \end{vmatrix} \quad \dots (9)$$

式(9)で示された行列 W の各行成分は符号長7の

$$Q_3(X) = X^4 \cdot X^2 \cdot 1 \quad \dots (14)$$

としたとき、

$$\begin{aligned} F_2(X) &= Q_2(X)G_2(X) \\ &= (X^2 \cdot X \cdot 1)(X^3 \cdot X^2 \cdot 1) \\ &= 1 \cdot X \cdot X^3 \end{aligned} \quad \dots (15)$$

$$\begin{aligned} F_3(X) &= Q_3(X)G_3(X) \\ &= (X^4 \cdot X^2 \cdot 1)(X \cdot 1) \\ &= 1 \cdot X \cdot X^2 \cdot X^3 \end{aligned} \quad \dots (16)$$

となり、式(15)、(16)で表わされる符号語

$$V_8 = (0100011) \quad \dots (17)$$

$$V_9 = (0101011) \quad \dots (18)$$

は符号長7の巡回符号となる。

$$V_2 = \begin{vmatrix} 0 & 1 & 0 & 0 & 0 & 1 & 1 \\ 1 & 0 & 0 & 0 & 1 & 1 & 0 \\ 0 & 0 & 0 & 1 & 1 & 0 & 1 \\ 0 & 0 & 1 & 1 & 0 & 1 & 0 \\ 0 & 1 & 1 & 0 & 1 & 0 & 0 \\ 1 & 1 & 0 & 1 & 0 & 0 & 0 \\ 1 & 0 & 1 & 0 & 0 & 0 & 1 \end{vmatrix} \quad \dots (19)$$

$$V_3 = \begin{vmatrix} 0 & 1 & 0 & 1 & 0 & 1 & 1 \\ 1 & 0 & 1 & 0 & 1 & 1 & 0 \\ 0 & 1 & 0 & 1 & 1 & 0 & 1 \\ 1 & 0 & 1 & 1 & 0 & 1 & 0 \\ 0 & 1 & 1 & 0 & 1 & 0 & 1 \\ 1 & 1 & 0 & 1 & 0 & 1 & 0 \\ 1 & 0 & 1 & 0 & 1 & 0 & 1 \end{vmatrix} \quad \dots (20)$$

つまり

$$V_1 = (0100011) \quad \dots (21-1)$$

$$V_2 = (1000110) \quad \dots (21-2)$$

$$V_3 = (0001101) \quad \dots (21-3)$$

$$V_4 = (0011010) \quad \dots (21-4)$$

$$V_5 = (0110100) \quad \dots (21-5)$$

$$V_6 = (1101000) \quad \dots (21-6)$$

$$V_7 = (1010001) \quad \dots (21-7)$$

$$V_1 = (0101011) \quad \dots (22-1)$$

$$V_2 = (1010110) \quad \dots (22-2)$$

$$V_3 = (0101101) \quad \dots (22-3)$$

$$V_4 = (1011010) \quad \dots (22-4)$$

$$V_5 = (0110101) \quad \dots (22-5)$$

$$V_6 = (1101010) \quad \dots (22-6)$$

$$V_7 = (1010101) \quad \dots (22-7)$$

としたとき、 V_1, V_2, \dots, V_7 を係数とする符号多項式は、式(11)の生成多項式で割り切れ、 V_1, V_2, \dots, V_7 を係数とする符号多項式は、式(12)の生成多項式で割り切れることになる。更に、式(11)、(12)で示された生成多項式 $G_1(X), G_2(X), G_3(X)$ は互いに排他的に存在し、2を法とする体において同一の素因数をもたず、式(13)、(14)で示された多項式 $Q_1(X), Q_2(X), Q_3(X)$ が、式(11)、(12)で示された生成多項式を因数にもたないため、式(10-1)、(10-2)、 \dots 、(10-7)、式(21-1)、(21-2)、 \dots 、(21-7)及び式(22-1)、(22-2)、 \dots 、(22-7)は互いに排他的に存在（それぞれが排他的に群をなす）することがわかる。

第1の発明を図面を参照して説明する。第1図に第1の発明の実施例におけるフレーム構成を示す。同図におけるフレームは3ビット多重されており、サブフレーム長は N (N は3の倍数)ビット、1フレームは7個のサブフレームから構成さ

れている。各サブフレームの先頭3ビットには、それぞれフレーム同期用パターンが挿入されている。図中 F_i ($i=1, 2, \dots, 7$)は、各サブフレームに挿入されている3ビットのフレームビットパターンを示しており、1フレーム内には $3 \times 7 = 21$ ビットのフレーム同期用パターンが挿入されていることになる。このフレーム同期用パターンとして、式(11)、(12)で示した生成多項式から生成され、それぞれ排他的に存在する3種の符号長7の巡回符号を選び出す。

例えば、式(10-1)、(21-1)及び(22-1)で示された符号を用い、

$$V_1 = (C_1 C_2 C_3 C_4 C_5 C_6 C_7) = (1100010) \quad \dots (10-1')$$

$$V_2 = (C_7 C_3 C_5 C_2 C_4 C_6 C_1) = (0100011) \quad \dots (21-1')$$

$$V_3 = (C_7 C_3 C_5 C_2 C_4 C_6 C_1) = (0101011) \quad \dots (22-1')$$

とし、各サブフレームに

$$F_1 = (C_1 C_2 C_3) \quad \dots (23-1)$$

$$F_2 = (C_4 C_5 C_6) \quad \dots (23-2)$$

$$F_3 = (C_7 C_1 C_2) \quad \dots (23-3)$$

$$F_4 = (C_3 C_4 C_5) \quad \dots (23-4)$$

$$F_5 = (C_6 C_7 C_1) \quad \dots (23-5)$$

$$F_6 = (C_2 C_3 C_4) \quad \dots (23-6)$$

$$F_7 = (C_5 C_6 C_7) \quad \dots (23-7)$$

となるようにフレーム同期用パターンが挿入される。

第2図に、第1の発明によるフレーム同期方式の実施例を示す。同図において、201は高次群入力データ S_{in} 、202は高次群入力クロック CKL_{in} 、203は直並列変換回路、204はチャネル入換回路、205は $1/3$ 分周回路、206₁~206₃は割算器、207₁は同期制御回路、208₁~208₃は低次群出力データ S_{out} である。

同図において、高次群入力データ(S_{in})201から第1図に示されたフレームによるデータが入力され、高次群クロック信号202とともに直並列変換回路の入力信号となる。この受信信号のうち、高次群入力データ201は3ビット毎に取り出されて3系列の出力情報となり、この3系列の出力情報はチャネル入換回路204の入力情報となる。更に、このチャネル入換回路204は、後述するよう

な同期制御回路207からの出力情報を用いてチャネルの切り換えを行なった後、3系列の情報を低次群出力データ(Sour)208₁~208₃に出力する。このチャネル入換制御は、一度同期を引き込めば、その後のチャネル制御はその状態の保持をすればよく、高速制御を行う必要はない。また、ここでのチャネル入れ換え回路は、各入力を任意の出力に接続する機能は必要ではなく、ここでのチャネル入れ換え制御はシーケンシャルなチャネル入換を行うだけで良い。例えば、低次群出力データ208₁に系列A、低次群出力データ208₂に系列B、低次群出力データ208₃に系列Cが出力されている場合、チャネル入換回路204は、低次群出力データ208₁に系列B、低次群出力データ208₂に系列C、低次群出力データ208₃に系列A、または、低次群出力データ208₁に系列C、低次群出力データ208₂に系列A、低次群出力データ208₃に系列Bを出力するようなシーケンシャルなチャネル入換制御を行うことができる。この直並列変換回路203を用いて3系列に展開された低次群出力データ

208₁~208₃には、第1の発明の一実施例である図1に示したフレームに挿入されているフレーム同期用パターンが、それぞれ7ビットずつに分離されて挿入されていることになる。

以下では、同期状態の確保及び、非同期状態におけるハンテイング制御について、順次説明する。

まず同期状態においては低次群出力データ208₁には、式(10-1')、低次群出力データ208₂には式(21-1')、低次群出力データ208₃には式(22-1')で示した符号長7の巡回符号をなすフレーム同期用パターンがN/3ビット毎に1ビットずつ現われることになる。つまり各低次群出力データ208₁~208₃においては、式(10-1')、(21-1')、(22-1')で示された巡回符号をそれぞれフレームパターンとする1サブフレーム長N/3ビット、サブフレーム数7のフレームを構成することになる。計算器206₁~206₃は、チャネル入換回路204の出力のうちの1系列である低次群出力データ208₃をN/3ビット(低次群データのサブフレーム周期)毎に

取り込み、この順次取り込まれた7ビットパターンを符号語とする符号多項式を形成する。計算器206₁は、この符号多項式と、式(4)で示した生成多項式G₁(X)との計算を低次群データのフレーム周期毎に行なう。同様に計算器206₂は式(11)で示した生成多項式G₂(X)、計算器206₃は式(12)で示した生成多項式G₃(X)との計算を行なう。同期状態においては、計算器206₁~206₃では、式(16)で示したビット列からなる符号多項式を形成するので、計算器206₃の剰余だけが零となる。計算器206₁~206₃は低次群データのフレーム周期毎に送られてくる7ビットパターンと剰余を同期制御回路207に送信する。同期制御回路207においては、これらの剰余の結果と低次群データのフレーム周期毎に送られてくる7ビットパターンが式(22-1')で示したパターンの一致を確認することにより、同期状態の確保、確認を行う。ここで、同期状態の確保については、各低次群出力データ208₁~208₃に対応に、同期確保機能をもたせる構成もできる。次に、非同期状態に陥った場合のハンテイング

制御について説明する。非同期状態においては、まず低次群出力データ208₃に送られてくる系列が式(10-1')、(21-1')、(22-1')で示された巡回符号をなす3種のフレーム同期用パターンのうち、いずれの系であるのかの検出を行なう。このために、計算器206₁~206₃は低次群出力データ208₃の信号を低次群データのサブフレーム周期で取り込む。そして、低次群データのフレーム周期毎に、7ビットパターンを符号語とする符号多項式と、式(4)で示した生成多項式G₁(X)、式(11)で示した生成多項式G₂(X)、および式(12)で示した生成多項式G₃(X)との計算をそれぞれの計算器206₁~206₃に行なう。同期制御回路207においては、計算器206₁~206₃の計算の剰余を調べる。いずれの剰余も非零であるならば、低次群出力データ208₃から計算器206₁~206₃が低次群データのサブフレーム周期毎に取り込む位相を1ビットシフトさせる。この操作を計算器206₁~206₃の剰余のいずれかが零となるまで行なう。計算器206₁~206₃のいずれの剰余も非零であるということは、各計算器206₁

～206₃に低次群のサブフレーム周期 に取り込まれるビットパターンは、第1図のフレームに挿入されたフレーム同期用パターン以外、つまりは、式(10-1')、(21-1')、(22-1')で示した巡回符号をなすフレーム同期用パターン以外の情報であることを意味する。他方、割算器206₁～206₃のいずれかの剰余が零であるということは、低次群出力データ208₃内に、低次群データのサブフレーム周期で1ビットずつ分散して挿入されている3種のフレーム同期用パターン群いずれか1つを検出したことを意味する。同期制御回路207においては、割算器206₁～206₃のいずれかの剰余が零になったのかの判定を行なう。つまり、割算器206₁の剰余が零となった場合には、式(10-1')で示した符号群、割算器206₂の剰余が零の場合には、式(21-1')で示した符号群、割算器206₃の剰余が零の場合には、式(22-1')で示した符号群をフレーム同期用パターンとする低次群データ系列が、低次群出力データ208₃に送信されていると判定する。この判定条件に基づき同期制御回路207は、チャネ

ル入換回路204に制御情報を送り、シーケンシャルなチャネル入換を行ない、低次群出力データ208₃に式(22-1')で示した符号群をフレーム同期用パターンとする低次群データ系列を送信するように制御する。これにより、直並列変換回路203で並列展開された全ての系列を検索することなしに、チャネル入換制御が可能となる。この場合であっても、割算器206₁～206₃に低次群データのサブフレーム周期で取り込まれるフレーム同期用パターンは式(22-1')で示された符号列と全く同じ順番で取り込まれるとは限らず割算器206₁～206₃に低次群データのフレーム周期毎に取り込まれる7ビット列と式(22-1')で示した符号の間には、位相差が存在する可能性がある。つまり、各低次群出力データ208₁～208₃においては、サブフレーム同期が確保されたにすぎない。同期制御回路207においては、いずれの割算器206₁～206₃の剰余が零であるのかの情報に基づきチャネル入換回路のシーケンシャルなチャネル入換を行なった後に、割算器206₁～206₃に取り込まれる7ビット列

の情報と式(22-1')の符号列の位相差を検出し、すみやかなフレーム同期確保を行なう。なお、このフレーム同期の確保過程は、チャネル入換回路204のシーケンシャルなチャネル入換を行う前の、割算器206₁～206₃のいずれかの剰余が零になったと同時にすることが可能である。例えば、割算器206₁の剰余が零となったときには、割算器206₁～206₃に取り込まれる7ビット列と式(10-1')で示した符号列との位相差を検出するとともにシーケンシャルなチャネル入換を行うことにより、チャネル入換制御およびフレーム同期確保の一括処理が可能となる。

低次群出力データ208₁～208₃のサブフレームビット数は $N/3$ ビットであるので、一度、非同期状態に陥ってから、チャネル入換制御並びにフレーム同期の確保を行うまでに要する最悪なハンテイング回数は、 $N/3 - 1$ 回となり、すみやかな同期処理が可能となる。

第3図は、第1の発明によるフレーム同期方式の実施例を示す。同図において、301は高次群入力

データ(S_{1n})、302は高次群入力クロック(CLK_{1n})、303は第1の直並列変換回路、304はチャネル入換回路、305は $1/3$ 分周回路、306₁～306₃は割算器、307は同期制御回路、309₁～309₃は第2の直並列変換回路、310₁～310₃は低次群出力データ($S_{out1} \sim S_{out3}$ 、 $S_{out21} \sim S_{out23}$ 、 $S_{out31} \sim S_{out33}$)である。

同図における高次群入力データ(S_{1n})301、高次群出力データ(CLK_{1n})302、第1の直並列変換回路303、第1のチャネル入換回路304、 $1/3$ 分周回路305、割算器306₁～306₃、同期制御回路307は第2図で示した高次群入力データ(S_{1n})201、高次群出力データ(CLK_{1n})202、直並列変換回路203、チャネル入換回路204、 $1/3$ 分周回路205、割算器206₁～206₃、および同期制御回路207と同様な処理を行ないチャネル入換回路304の出力においてはチャネル入換制御、フレーム同期の確保されている。直並列変換回路309₁～309₃においては、チャネル制御回路304の出力である3系列をそれぞれ3ビットずつ展開する。つまり、低次群出力デー

タ(Sour₁₁~Sour_{ss})310₁~310_sには、高次群入力データ(S_{in})301がNビット展開された非常に低速化された信号が現われることになり、同期制御回路307においては、第2図で示した制御の他に、チャネル入換回路304の出力信号データ308、に挿入されているフレーム同期用パターンと式(22-1')で示された符号列間の位相差を検出し、直並列変換器309₁~309_sにおいて3系列展開される出力のシーケンシャル制御を行なう。これにより、低次群出力データ310₁~310_sをモニタすることなしに直並列変換器309₁~309_sの出力系列のシーケンシャルな制御が可能となる。

以上、1フレーム内のサブフレーム数7、高次群データの各サブフレームに挿入されるフレーム同期用パターンビット数3、巡回符号の符号長7、生成多項式 X^3+X+1 、 X^3+X^2+1 、 $X+1$ の場合を例に挙げて説明してきたが、本発明はこれらの組み合わせに限られるものではなく、例えば高次群データの各サブフレームに挿入されるフレーム同期用パターンビット数を大きくすれば、より処理速度を

低速化することが可能となる。また、符号多項式と生成多項式との計算を行なう計算器206₁~206_s、306₁~306_sは、シフトレジスタとmod2の加算器を用いることにより容易に構成することができ、回路の簡易化、小規模化を図ることができる。

(発明の効果)

このように本発明による同期方式を用いれば、同期検出が容易で、同期動作を低減して行うことができ、また、高次群データで特にフレーム構成を意識することなしに、系全体の状態の把握が可能であり、更には、平均非同期継続時間が従来の構成による同期方式に比べ著しく改善されていることがわかる。

この発明はこのように高速・大容量な伝送系に適した同期方式であり、将来より一層高速・大容量化される伝送系への応用にその活用が期待されるものである。

図面の簡単な説明

第1図は本発明の実施例におけるフレーム構成

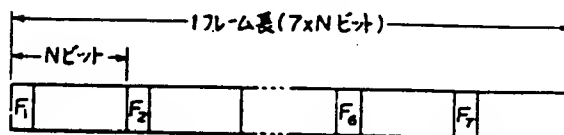
を示す図、第2図、第3図は本発明の実施例を示すブロック図、第4図、第5図は従来例におけるフレーム構成を示す図である。

図において、201、301高次群入力データS_{in}、202、302高次群入力クロックCLK_{in}、203、303直並列変換回路、204、305チャネル入換回路、205、3051/3分周回路、206₁~206_s、306₁~306_s計算器、207、307同期制御回路、208₁~208_s低次群出力データ、309₁~309_s直並列変換回路、310₁~310_s低次群出力データ。

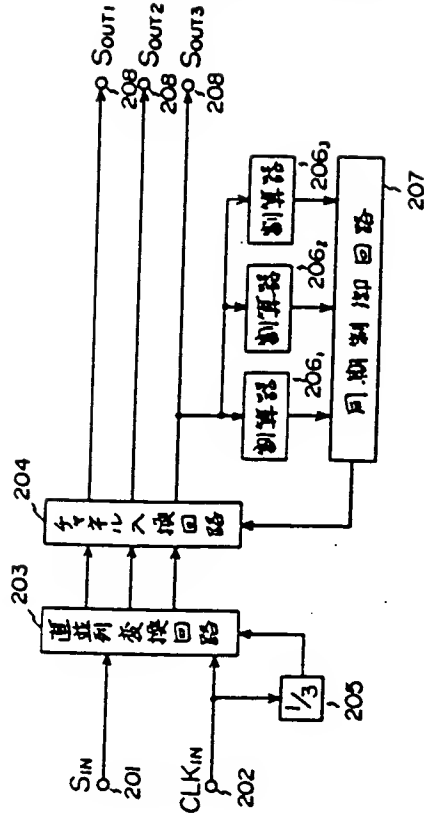
代理人 弁理士 内原 晋



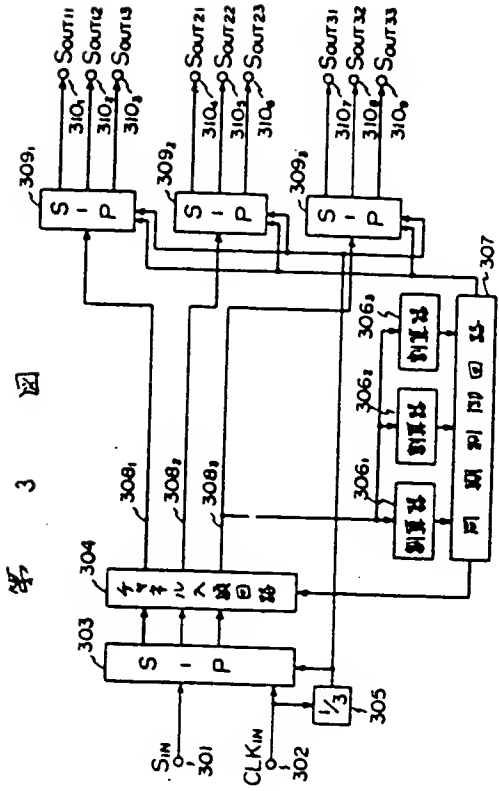
第 1 図



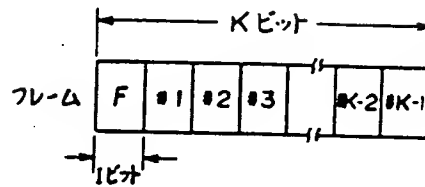
第 2 図



第 3 図



第 4 図



第 5 図

